

SEMICONDUCTOR MEMORY

Patent Number: JP61078169
Publication date: 1986-04-21
Inventor(s): UCHIUMI CHIKATAKE; others: 03
Applicant(s): HITACHI LTD
Requested Patent: JP61078169
Application Number: JP19840199554 19840926
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a stable semiconductor device, the number of reading thereof is not limited, by forming a floating gate to the upper section of a semiconductor region through a first insulating film and shaping a MIS element onto a second insulating film.

CONSTITUTION: A first insulating film 22 is formed onto the upper surfaces of a P type substrate 20 and an N<+> type semiconductor region 21, and a floating gate 23 is shaped onto the film 22. A second insulating film 24 is formed onto the substrate 20 and the floating gate 23, and a MOS element is shaped onto the film 24. On writing, the N<+> type semiconductor region 21 is brought to ground potential, and N<+> type semiconductor regions 25, 27 for a source and a drain are brought to high potential. Electrons are injected to the floating gate 23 from the N<+> type semiconductor region 21 by a Fowler-Nordheim's tunnel at that time. Consequently, V_{th} of the MOS element is increased. On erasing, the N<+> type semiconductor regions 25, 27 for the source and the drain are lowered to ground potential, the N<+> type semiconductor region 21 is brought to high potential, and negative charges stored in the floating gate 23 are pulled out to the N<+> type semiconductor region 21.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

昭61-78169

⑮ Int.Cl.⁴

H 01 L 29/78

識別記号

庁内整理番号

7514-5F

⑬ 公開 昭和61年(1986)4月21日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体記憶装置

⑯ 特 願 昭59-199554

⑰ 出 願 昭59(1984)9月26日

⑱ 発 明 者 内 海 京 丈 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
 ⑱ 発 明 者 田 村 俊 夫 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
 ⑱ 発 明 者 内 田 憲 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
 ⑱ 発 明 者 甲 藤 久 郎 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
 ⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑳ 代 理 人 弁理士 高橋 明夫 外1名

明 細 書

発明の名称 半導体記憶装置

特許請求の範囲

1. 第1導電型の半導体基板内に形成された、第1導電型と逆導電型の第2導電型と、この拡散層上に第1の絶縁膜を介して形成されたフローティングゲートと、前記半導体基板およびフローティングゲート上に第2の絶縁膜を介して形成されたMIS素子とより成り、前記MIS素子は、フローティングゲートと対向する位置に形成された第1導電型のチャネル領域と、このチャネル領域の両側部に形成された第2導電型のソースならびにドレインと、前記チャネル領域上に第3の絶縁膜を介して形成されたコントロールゲートとを有することを特徴とする半導体記憶装置。

2. 第1の絶縁膜の1部を他より薄くすることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

発明の詳細な説明

〔技術分野〕

本発明は半導体記憶装置に関し、特に記憶素子の高集積化をはかり、かつ、電気的安定性の向上ならびに劣化の防止を可能とする技術に関し、1ビットが1つのMOSFETからなるEEPROMに適用して有効な技術に関するものである。

〔背景技術〕

EEPROM(電気的消去プログラム可能なROM)の代表的なものとして、MNOS型およびフローティングゲート型が一般に知られている。

ところで、従来のEEPROMには以下のような問題点がある。すなわち、MNOS型においては、記憶内容の変更後の読み出し回数に限界があることである。これは、SiO₂膜6とSi₃N₄膜7との界面が繰り返し行なわれる読み出し動作において劣化するからである。また、メモリアレーとして構成する場合に、MNOSメモリ素子に直列にスイッチングMOS素子を接続することが必要である。また、フローティングゲート型においては、同様に、SiO₂膜16の膜質の劣化やSiO₂膜16中にトラップされる電荷によ

ってメモリセルの電気的特性の安定性が損なわれるという欠点がある。さらに、薄い酸化膜の領域形成時の位置合せ余裕等によってメモリセルの集積度に懸点があった。

〔発明の目的〕

本発明の目的は、1つのメモリセルを1つの素子で形成したEEPROMであって、集積度の向上がはかれ、かつ、読み出し回数に制限のない安定な半導体装置を提供するものである。

本発明の前記ならびにそのほかに目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、半導体基板に形成した半導体領域の上部に第1の絶縁膜を介してフローティングゲートを形成し、さらに第2の絶縁膜上にSOI（シリコン オン インシュレータ）技術を用いてMI

領域21が形成されている。この半導体領域21は、たとえばヒ素(As)のイオン打込みによって形成される。

P型基板20およびN⁺型半導体領域21の上面には第1の絶縁膜22が形成されている。この第1の絶縁膜22は、たとえば、基板20の表面の表面熱酸化によって形成したSiO₂膜であって、ほぼ100オングストロームの厚さである。後述するように、この第1の絶縁膜22を介してフローティングゲート23に電荷のトンネル注入あるいは放出を行っている。第1の絶縁膜22上にはポリシリコンのフローティングゲート23が形成されている。このフローティングゲート23は、ポリシリコンの堆積およびフォトリソグラフィによって形成する。フローティングゲート23の位置は、前記半導体領域21の上部であってほぼ半導体領域21の幅内に収まっているのが好ましい。しかし、この合せ余裕は厳格なものでもよい。

さらに、前記基板20およびフローティングゲ

S素子を形成している。書き込みおよび消去時には前記半導体領域とMIS素子との間に電圧を印加し、フローティングゲートに電荷を蓄積もしくは引出すことができるので1素子で1ビットのメモリセルとなるEEPROMを形成することができる。また読み出し時には前記半導体領域を接地してMIS素子によって行なうことができるので、フローティングゲートからの電荷損失ならびに第1の絶縁膜の劣化もない。従って、読み出し回数を飛躍的に向上できるとともにメモリセルの経年的安定性を達成できる。

〔実施例1〕

以下本発明の一実施例を第1図を参照して説明する。

第1図はこの発明の一実施例であるEEPROMの1メモリセルの断面構造を示したものである。図において、符号20は半導体基板であって、たとえばP型(第1導電型)のSi半導体単結晶基板である。この基板20の一主面には、基板20と逆の導電型すなわちN型(第2導電型)の半導体

ート23上には第2の絶縁膜24であるSiO₂膜が形成されている。この第2の絶縁膜24上にSOI技術を用いてMOS素子を形成している。すなわち、フローティングゲート23の上方にMOS素子となるポリシリコン層を堆積し所定の形状にエッチングしている。このポリシリコン層がMOS素子のソース領域25、チャネル領域26およびドレイン領域27となっている。ポリシリコン層は第2の絶縁膜24上に堆積した後、レーザービームにより単結晶化されている。また、ポリシリコン層は全体に基板20と同一導電型のP型不純物がドーピングされている。従って、チャネル領域26はP型シリコン半導体である。さらに、このポリシリコン層の表面を熱酸化した第3の絶縁膜28であるSiO₂膜が形成されている。この第3の絶縁膜28はMOS素子のゲート酸化膜である。

ゲート酸化膜28を形成した後に、MOS素子のゲート電極（コントロールゲート）29がポリシリコンによって形成されている。このコントロ

ールゲート29および第3の絶縁膜28を介して、ソースおよびドレインを形成する第2導電型の不純物をイオン打込みし、各々N⁺型のソースまたはドレイン領域25、27を自己整合的に形成している。符号30はSiO₂またはPSG（リンシリケートガラス）等の保護絶縁膜、符号31、32は各々ソースまたはドレイン引出し電極である。

以上のような素子構造を有したEEPROMの動作をつぎに説明する。

まず、書き込みをするには、N⁺型半導体領域21を接地電位にし、ソースおよびドレインのN⁺型半導体領域25、27を高電位にする。この場合、N⁺型半導体領域21からフローティングゲート23に、ファウラーノードハイム（Fowler-Nordheim）トンネルにより電子が注入される。従って、MOS素子のV_{th}が高くなる。つぎに、消去をするには、ソースおよびドレインのN⁺型半導体領域25、27を接地電位に落とし、N⁺型半導体領域21を高電位にすることによって、フローティ

ングゲート23に蓄積された負電荷をN⁺型半導体領域21に引出すことができる。

このようにして、書き込みおよび消去ができるが、読み出しはMOS素子のコントロールゲート29を介してV_{th}の高低によって記憶内容を取り出すことができる。この場合、N⁺型半導体領域21を接地電位にしているので、読み出し時のフローティングゲート23からの電荷損失がなく、読み出し回数を大幅に上昇させることができる。また、読み出しは、MOS素子のチャネル領域26に流れる電流によっているので第1の絶縁膜22の劣化もない。

[実施例2]

第2図はこの発明の第2の実施例であるEEPROMの1メモリセルの断面構造を示したものである。第1図に示した部分と同一または同等の機能を持つ部分には、同一の符号を付しその説明を省略する。

この実施例は、第1図の絶縁膜22に代えて、厚さの異なる絶縁膜22aと22bとを用いた例

である。絶縁膜22a、22bは、半導体基板20の表面の熱酸化によって形成されたSiO₂膜からなる。

数十オングストローム（例えば20オングストローム）と薄い絶縁膜22aは半導体領域21の略中央であって、チャネル領域26の下に形成され、半導体領域21とフローティングゲート23との間の電荷のトンネル時にトンネル絶縁膜として働く。

絶縁膜22bは数百オングストローム（例えば300オングストローム）と絶縁膜22aより厚い。トンネル絶縁膜と同一厚さの絶縁膜を半導体基板上に設ける必要がないので、製造上有利である。

[効果]

以上説明したように、フローティングゲート上に絶縁膜を介してSOI技術を用いてMOS素子を形成しているので、1MOSFET/1ビットのEEPROMを得ることができる。また、MOS素子のソースおよびドレイン領域はコント

ールゲートをマスクとして自己整合的に形成できるという効果が得られる。さらに、読み出しをMOS素子によって行っているため、フローティングゲートと基板内の半導体領域との間の第1の絶縁膜が劣化に耐えて強いという効果が得られる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、実施例の導電型をすべて逆にして実施できることは当然である。

[利用分野]

本発明はEEPROMに広く適用でき、たとえばEEPROMオンチップマイクロコンピュータや、TVチューナあるいはVTR番組予約等の専用プロセッサにも適用できる。

図面の簡単な説明

第1図は本発明の半導体装置の一実施例を示す1MOS/1ビットのフローティングゲート型E

EP-ROMの断面構造図、

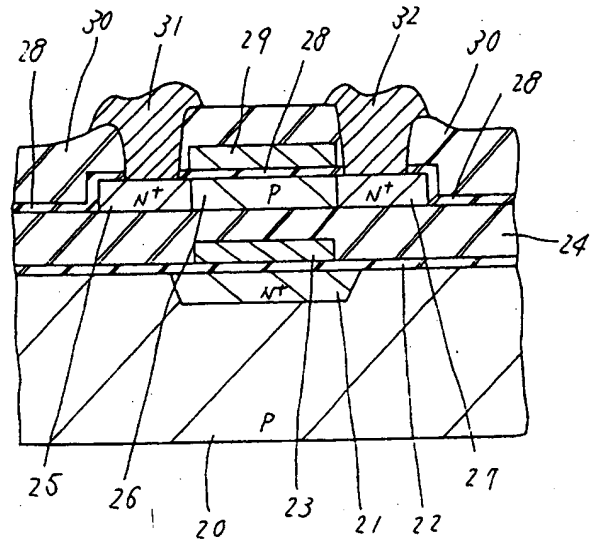
第2図は第1の絶縁膜の1部を薄くした場合の一実施例を示す1MOS/1ビットのフローティングゲート型EEP-ROMの断面構造図である。

20...P型シリコン半導体基板、21...N⁺型拡散層、22...SiO₂膜(第1の絶縁膜)、23...フローティングゲート、24...SiO₂膜(第2の絶縁膜)、25...N⁺型ソース拡散層、26...P型チャネル領域、27...N⁺型ドレイン拡散層、28...SiO₂膜(第3の絶縁膜)、29...コントロールゲート、30...SiO₂絶縁膜、31、32...引出し電極。

代理人 井理士 高橋 明 夫



第 1 図



第 2 図

